

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-251930

(43)Date of publication of application : 02.11.1987

(51)Int.Cl.

G06F 9/36

(21)Application number : 61-096106 (71)Applicant : NEC CORP

(22)Date of filing : 25.04.1986 (72)Inventor : HAMAGUCHI YOSHIO

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To efficiently generate a program by using contents of a register corresponding to the register designating field of an instruction word as the register address of another instruction word including another operand.

CONSTITUTION: A field R1 which designates the register used as the first operand of the instruction which is read out from a memory 1 and is stored in an instruction register 3 designates a register address register 11. Contents of a general register 2 are read out and are stored in a temporary register 12. The read output of the register 2 corresponding to a field R2 which designates the register used as the second operand is stored in a register 22 and is added to the displacement of the register 3 to read out the memory 1 through a memory address register 8. This read output and contents of registers 12 and 22 are processed by an operator 5 to use contents of the register 12 corresponding to the field R1 as the register address of the instruction word including another operand thus continuously and efficiently generating the program in accordance with contents of the field R2.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-251930

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月2日

G 06 F 9/36

3 2 0

7361-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 昭61-96106

⑰ 出 願 昭61(1986)4月25日

⑱ 発 明 者 濱 口 芳 夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

命令語を格納するための命令レジスタと、前記命令語に含まれた複数のレジスタ指定フィールドの内容をレジスタアドレスとしてそれぞれ格納するための複数のレジスタアドレスレジスタと、前記複数のレジスタアドレスレジスタの内容によつて指定されるアドレスを有して他の命令語をデータとして格納するための汎用レジスタと、前記汎用レジスタの内容によつて演算を実行するための演算手段とを具備して構成したことを特徴とする情報処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は情報処理装置に関し、特に命令のレジスタ指定方式に関する。

(従来の技術)

従来、主記憶のオペランドに関してはインデックスアドレッシングや間接アドレッシングが広く採用されている。命令語のオペランド指定フィールドがオペランドのアドレスを直接的に指定するのではなく、命令語のオペランドフィールドはインデックスレジスタ、あるいはベースレジスタなどと呼ばれるレジスタや、間接論のアドレスを指定し、上記レジスタや間接論が命令の実際のオペランドを指定している。さらに実用的には、レジスタや間接論の内容に、命令語のフィールドによつて指定される値を加えたものをオペランドアドレスとするなど、多くの場合に種々の準備が行われる。

(発明が解決しようとする問題点)

上述した従来の情報処理装置では、レジスタのなかのオペランドについては命令語の該当フィールドで直接的に指定しなければならず、間接的に指定することはできないと云う欠点がある。

従つて、例えば連続したレジスタに格納され

特開昭62-251930 (2)

ているデータを一般的に処理する場合には、命令指自身を必要に応じて置換えるか、あるいはレジスタ指定フィールドの内容が異なる複数の命令を並記欄上に用意しておく必要がある、わかりやすく効率的なよいプログラムを生成するうえで制約となつてゐる。

本発明の目的は、命令指のレジスタ指定フィールドによつて指定されたレジスタの内容を映出し、その内容を、他のオペランドを含む命令のレジスタアドレスとすることによつて上記欠点を除去し、効率的よくプログラムを生成できるように構成した情報処理装置を提供することにある。

(問題点を解決するための手段)

本発明による情報処理装置は命令レジスタと、複数のレジスタアドレスレジスタと、汎用レジスタと、演算手段とを具備して構成したものである。

命令レジスタは命令指を格納するためのものであり、複数のレジスタアドレスレジスタは命

汎用レジスタ2は2ポートメモリであり、2個のアドレス入力、2個のデータ出力、1個のデータ入力を備えている。第1のレジスタアドレスレジスタ11によつて指定されたレジスタの内容を第1の一時レジスタ12に映出し、同時に第2のレジスタアドレスレジスタ21によつて指定されたレジスタの内容を第2の一時レジスタ22に映出することができる。また、第1の一時レジスタ12へデータを映出す代りに、データレジスタ7からの書き込みを行うこともできる。

命令指は命令レジスタ3に示す形式を有している。OPは命令コードであり、命令によつて実行すべき動作を表している。命令レジスタ3において、R1は第1のオペランドとして使用されるレジスタを指定するフィールドであり、R2は第2のオペランドとして使用されるレジスタを指定するフィールドである。R2のフィールドは、メモリ上の第2のオペランドを指定するためのインデックスレジスタとしても使用

命令に含まれる複数のレジスタ指定フィールドの内容をレジスタアドレスとしてそれぞれ格納するためのものである。

汎用レジスタは上記複数のレジスタアドレスレジスタの内容によつて指定されるアドレスを有して、他の命令指をデータとして格納するためのものである。演算手段は、汎用レジスタの内容によつて演算を実行するためのものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は、本発明による情報処理装置の一実施例を示すブロック図である。第1図において、1はメモリ、2は汎用レジスタ、3は命令レジスタ、4はデコーダ、5はALU、6は加算機、7はデータレジスタ、8はメモリアドレスレジスタ、11は第1のレジスタアドレスレジスタ、12は第1の一時レジスタ、21は第2のレジスタアドレスレジスタ、22は第2の一時レジスタである。

され、Dはこの場合の定数(ディスプレースメント)を表わす。R2フィールドによつて指定される汎用レジスタ2の内容と、Dフィールドの内容との和が第2のオペランドのアドレスになる。先に述べたR1フィールドは、本発明では必ずしも第1のオペランドとして使用されるレジスタを直接的に指定するのではなく、第1のオペランドとして使用されるレジスタを指定するレジスタを指定する場合もある。

次に、R1フィールドによつて指定されるレジスタの指定するレジスタにメモリ1上の第2のオペランドを加える命令の動作を説明する。

メモリ1から読出された命令は、命令レジスタ3に格納される。命令コードは、デコーダ4に送られて解読される。R1フィールドは第1のレジスタアドレスレジスタ11に送られる。第1のレジスタアドレスレジスタ11の内容をアドレスとして汎用レジスタ2の内容が読出され、その下位の4ビットが加算機6を介して第1のレジスタアドレスレジスタ11に格納さ

特開昭62-251930 (3)

れる。これをアドレスとして再び汎用レジスタ2の内容が読出され、第1の一時レジスタ12に格納される。いつて、R2フィールドは第2のレジスタアドレスレジスタ21に送出される。上記R2フィールドは、第2のレジスタアドレスレジスタ21の内容をアドレスとして汎用レジスタ2から読出され、第2の一時レジスタ22に格納される。上記内容と命令レジスタ3のDフィールドとが加算器6で加算され、その和がメモリアドレスレジスタ8にロードされる。これをアドレスとしてメモリ1の内容が読出され、ALU5の一方の入力端子に供給される。いつて、先に第1の一時レジスタ12に格納されていた第1のオペランドがALU5の他方の入力端子に供給される。ALU5によつて両者の和が求められ、結果がデータレジスタ7を經由してレジスタアドレスレジスタ11によつて指定される汎用レジスタ2に格納される。以上により、本命令の動作は終了する。その後、R1フィールドおよびR2フィールド

によつて直接的に指定されるレジスタの内容を適宜な量だけ増分させて、再び、本命令を実行すれば、メモリ1上と汎用レジスタ2上とに連続して存在するベクトルの対応する要素の相互の和が容易に求められる。

なお、R1フィールドが間接指定であることを指定するには、第1に命令コードを別にする方法、第2にR1フィールドに間接指定ビットを設ける方法、第3にR1が0であれば間接とみなす方法、第4に先行する命令で指定する方法がある。

また、R2フィールドで指定され、レジスタを間接的に指定できるようにすることも考えられる。

(発明の効果)

以上説明したように本発明は、命令中のレジスタ指定フィールドによつて指定されたレジスタの内容を読出し、その内容を、他のオペランドを含む命令中のレジスタアドレスとすることによつて、効率的で理解し易いプログラムを書

ることができると云う効果がある。

4.図面の簡単な説明

第1図は、本発明による情報処理装置の一実施例を示すブロック図である。

- 1...メモリ 2...汎用レジスタ
- 3...命令レジスタ 4...デコーダ
- 5...ALU 6...加算器
- 7...データレジスタ
- 8...メモリアドレスレジスタ
- 11, 21...レジスタアドレスレジスタ
- 12, 22...一時レジスタ

特許出願人 日本電気株式会社

代理人 弁理士 井ノ口 壽

